

PAT-NO: JP02004064515A

DOCUMENT-IDENTIFIER: JP 2004064515 A

**TITLE: PERIODIC SIGNAL CONTROLLER AND
FREQUENCY DETECTOR**

PUBN-DATE: February 26, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
OKUI, YOSHIAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SANYO DENKI CO LTD	N/A

APPL-NO: JP2002221472

APPL-DATE: July 30, 2002

**INT-CL (IPC): H03L007/00, G01R023/02 , G01R023/06 ,
H03L007/08**

ABSTRACT:

**PROBLEM TO BE SOLVED: To generate a sine wave-shaped AC
output signal
synchr nizing with an AC input signal having a higher harmonic**

voltage.

SOLUTION: A phased locked loop for processing an instantaneous value is configured of a first phase difference detecting circuit 1 and a first sine wave signal generating circuit 2. A frequency difference detecting circuit 4 calculates a frequency difference between an AC input signal and an AC output signal from the instantaneous values of a first sine wave signal outputted from the first sine wave signal generating circuit 2 and a second sine wave signal outputted from a second sine wave signal generating circuit 9. A second phase difference detecting circuit 3 calculates a phase difference between the first sine wave signal and the second sine wave signal. An adding circuit 5 adds the phase difference detection signal to the frequency difference detection signal, and a frequency change rate limiter circuit 8 inputs the output of the adding circuit 5, and sets the frequency change rate of the second sine wave signal to a fixed value or less, and outputs an instruction signal for synchronizing the sine wave signal to the AC input signal to the second sine wave signal generating circuit 9.

COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2004-64515

(P2004-64515A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl.⁷

F1

テーマコード (参考)

H03L 7/00

H03 L 7/00

B

26029

GO 1 R 23/02

GO 1 R 23/02

5 J 106

GO 1 R 23/06

GO 1 R 23/06

H

H03L 7/08

H03 L 7/08

H

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願2002-221472 (P2002-221472)

(22) 出願日 平成14年7月30日 (2002. 7. 30)

(71) 出願人 000180025

山洋電気株式会社

東京都豊島区北大塚一丁目15番1号

(74) 代理人 100091443

弁理士 西浦 ▲調▼暗

(72) 発明者 奥井 芳明

東京都豊島区北大塚一丁目15番1号 山

洋電氣株式会社内

F ターム (参考) 2G029 AA02 AC04

5J106 AA04 CC21 CC31 EE09 FF07

KK32

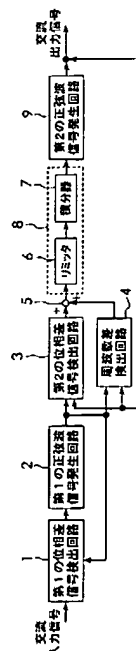
(54) 【発明の名称】 周期性信号制御装置及び周波数検出装置

(57) 【要約】

【課題】高調波電圧を含有した交流入力信号であっても、交流入力信号に同期した正弦波状の交流出力信号を発生させる。

【解決手段】第１の位相差検出回路１及び第１の正弦波信号発生回路２が、瞬時値を処理するフェーズ・ロックド・ループを構成する。周波数差検出回路４は、第１の正弦波信号発生回路２から出力された第１の正弦波信号と第２の正弦波信号発生回路９から出力された第２の正弦波信号の瞬時値から交流入力信号と交流出力信号との周波数差を求める。第２の位相差検出回路３は、第１の正弦波信号と第２の正弦波信号との位相差を求める。加算回路５は位相差検出信号と周波数差検出信号とを加算し、周波数変化率リミッタ回路８は、加算回路５の出力を入力として第２の正弦波信号の周波数変化率を一定値以下にし且つ交流入力信号に同期させるための指令信号を第２の正弦波信号発生回路９に出力する。

【選択図】 図 1



【特許請求の範囲】

【請求項1】

周期性を有する交流入力信号に同期した周期性を有する交流出力信号を発生する周期性信号制御装置において、

第1の指令信号に応じて周波数が変化する第1の正弦波信号を出力する第1の正弦波信号発生回路と、

前記交流入力信号と第1の正弦波信号発生回路から出力された第1の正弦波信号との位相差を検出して前記第1の指令信号として出力する第1の位相差検出回路と、

第2の指令信号に応じて周波数が変化する第2の正弦波信号を前記交流出力信号として出力する第2の正弦波信号発生回路と、

前記第1の正弦波信号発生回路から出力された前記第1の正弦波信号と前記第2の正弦波信号発生回路から出力された前記第2の正弦波信号の位相差を検出して位相差検出信号を出力する第2の位相差検出回路と、

前記第1の正弦波信号発生回路から出力された前記第1の正弦波信号と前記第2の正弦波信号発生回路から出力された前記第2の正弦波信号の周波数差を検出して周波数差検出信号を出力する周波数差検出回路と、

前記第2の位相差検出回路から出力された位相差検出信号と前記周波数差検出回路から出力された周波数差検出信号とを加算する加算回路と、

前記加算回路の出力を入力として前記第2の正弦波信号の周波数変化率を一定値以下にし且つ前記第2の正弦波信号を前記交流入力信号に同期させるための前記第2の指令信号を前記第2の正弦波信号発生回路に出力する周波数変化率リミッタ回路とを備え、

前記第1の位相差検出回路及び前記第1の正弦波信号発生回路が、フェーズ・ロックド・ループを構成していることを特徴とする周期性信号制御装置。

【請求項2】

周期性を有する単相交流入力信号に同期した周期性を有する単相交流出力信号を発生する周期性信号制御装置において、

第1の指令信号に応じて周波数が変化する第1の正弦波信号及び第1の余弦波信号を出力する第1の正弦波及び余弦波信号発生回路と、

前記交流入力信号と第1の正弦波及び余弦波信号発生回路から出力された第1の余弦波信号とを乗算する乗算器及び該乗算器の出力から前記単相交流入力信号の角周波数の二倍の周波数成分を除去するローパス・フィルタにより構成されて前記単相交流入力信号と前記第1の正弦波信号との位相差を検出して前記第1の指令信号として出力する第1の位相差検出回路と、

第2の指令信号に応じて周波数が変化する第2の正弦波信号及び第2の余弦波信号を発生し前記第2の正弦波信号を前記単相交流出力信号として出力する第2の正弦波及び余弦波信号発生回路と、

前記第1の正弦波及び余弦波信号発生回路から出力された前記第1の正弦波信号及び前記第1の余弦波信号と前記第2の正弦波及び余弦波信号発生回路から出力された前記第2の正弦波信号及び第2の余弦波信号の瞬時値から前記交流入力信号と前記交流出力信号との周波数差を演算により求める周波数差検出回路と、前記第1の正弦波及び余弦波信号発生回路から出力された前記第1の正弦波信号及び前記第1の余弦波信号の瞬時値と前記第2の正弦波及び余弦波信号発生回路から出力された前記第2の正弦波信号及び前記第2の余弦波信号の瞬時値とを入力として、前記第1の正弦波信号と前記第2の正弦波信号との位相差を演算により求める第2の位相差検出回路と、

前記第2の位相差検出回路から出力された位相差検出信号と前記周波数差検出回路から出力された周波数差検出信号とを加算する加算回路と、

前記加算回路の出力を入力として前記第2の正弦波信号の周波数変化率を一定値以下にし且つ前記第2の正弦波信号を前記交流入力信号に同期させるための前記第2の指令信号を前記第2の正弦波及び余弦波信号発生回路に出力する周波数変化率リミッタ回路とを備え、

10

20

30

40

50

前記第 1 の位相差検出回路及び前記第 1 の正弦波及び余弦波信号発生回路が、フェーズ・ロックド・ループを構成していることを特徴とする周期性信号制御装置。

【請求項 3】

周期性を有する三相交流入力信号に同期した周期性を有する三相交流出力信号を発生する周期性信号制御装置において、

前記三相交流入力信号を二相信号に変換する 3-2 相変換回路と、

第 1 の指令信号に応じて周波数が変化する第 1 の正弦波信号及び第 1 の余弦波信号を出力する第 1 の正弦波及び余弦波信号発生回路と、

前記第 1 の正弦波及び余弦波信号発生回路から出力された前記第 1 の正弦波信号及び前記第 1 の余弦波信号と前記 3-2 相変換回路から出力された変換正弦波信号及び変換余弦波信号の瞬時値に基づいて前記変換正弦波信号と前記第 1 の正弦波信号との位相差を検出して第 1 の位相差検出信号を第 1 の指令信号として出力する第 1 の位相差検出回路と、

第 2 の指令信号に応じて周波数が変化する第 2 の正弦波信号及び第 2 の余弦波信号とを発生し、且つ第 2 の指令信号に応じて周波数が変化する三相交流出力信号を発生する第 2 の正弦波及び余弦波信号発生回路と、

前記第 1 の正弦波及び余弦波信号発生回路から出力された前記第 1 の正弦波信号及び前記第 1 の余弦波信号と前記第 2 の正弦波及び余弦波信号発生回路から出力された前記第 2 の正弦波信号及び第 2 の余弦波信号の瞬時値から前記交流入力信号と前記交流出力信号との周波数差を演算により求める周波数差検出回路と、

前記第 1 の正弦波及び余弦波信号発生回路から出力された前記第 1 の正弦波信号及び前記第 1 の余弦波信号の瞬時値と前記第 2 の正弦波及び余弦波信号発生回路から出力された前記第 2 の正弦波信号及び前記第 2 の余弦波信号の瞬時値とを入力として、前記第 1 の正弦波信号と前記第 2 の正弦波信号との位相差を演算により求める第 2 の位相差検出回路と、前記第 2 の位相差検出回路から出力された位相差検出信号と前記周波数差検出回路から出力された周波数差検出信号とを加算する加算回路と、

前記加算回路の出力を入力として前記第 2 の正弦波信号の周波数変化率を一定値以下にし且つ前記第 2 の正弦波信号を前記交流入力信号に同期させるための前記第 2 の指令信号を前記第 2 の正弦波及び余弦波信号発生回路に出力する周波数変化率リミッタ回路とを備え、

前記第 1 の位相差検出回路及び前記第 1 の正弦波及び余弦波信号発生回路が、フェーズ・ロックド・ループを構成していることを特徴とする周期性信号制御装置。

【請求項 4】

前記交流入力信号の周波数に異常があるか否かを判定する周波数異常検出回路と、前記周波数異常検出回路が周波数異常を検出すると、前記加算回路の出力が前記周波数変化率リミッタ回路に入力されるのを阻止し、前記周波数変化率リミッタ回路から前記第 2 の正弦波信号の周波数を予め定めた基準周波数に徐々に一致させる強制指令信号を前記第 2 の指令信号として出力させる周波数異常時切換回路とを更に備えている請求項 1、2 または 3 に記載の周期性信号制御装置。

【請求項 5】

前記周波数変化率リミッタ回路は、同期に必要な周波数の変化量を予め定めた上限値に制限するリミッタと、前記リミッタの出力を積分して周波数値を出力する積分器とから構成され、

前記周波数異常検出回路は、前記積分器から出力される周波数値と前記交流入力信号の前記基準周波数との加算値が、予め定めた周波数異常検出用設定値を超えると周波数異常と判定する判定回路を含んで構成されている請求項 4 に記載の周期性信号制御装置。

【請求項 6】

前記周波数異常検出回路は、前記第 1 の正弦波及び余弦波発生回路から出力される前記第 1 の正弦波信号及び第 1 の余弦波信号を入力とし、

下記の式において、 t_n が n 番目のサンプリング時刻を示し、 t_{n-1} が $(n-1)$ 番目のサンプリング時刻を示し、角周波数 ω_s が $2\pi f_s$ (但し f_s は前記第 1 の正弦波及び

余弦波発生回路から出力される前記第1の正弦波信号及び第1の余弦波信号の周波数)を示し、 t_s がサンプリング時間を示し、前記第1の正弦波及び余弦波発生回路の入力信号と出力信号とが高速に同期しているものとして、

$$f_s = \{ \sin(\omega_s \cdot t_n) \cdot \cos(\omega_s \cdot t_{n-1}) - \cos(\omega_s \cdot t_n) \cdot \sin(\omega_s \cdot t_{n-1}) \} / 2\pi t_s$$

の演算式に基づいて入力周波数 f ($\equiv f_s$)を演算により求める入力周波数検出回路と、前記入力周波数検出回路により求めた前記入力周波数と予め定めた周波数異常検出用設定値とを比較して、前記入力周波数が前記周波数異常検出用設定値を超えると周波数異常と判定する判定回路とを含んで構成されている請求項4に記載の周期性信号制御装置。

【請求項7】

被測定交流入力信号に同期する正弦波信号及び余弦波信号を発生する正弦波及び余弦波信号発生回路と、

前記正弦波及び余弦波発生回路から出力される前記正弦波信号及び余弦波信号を入力とし、

下記の式において、 t_n が n 番目のサンプリング時刻を示し、 t_{n-1} が $(n-1)$ 番目のサンプリング時刻を示し、角周波数 ω_s が $2\pi f_s$ (但し f_s は前記正弦波及び余弦波発生回路から出力される前記正弦波信号及び余弦波信号の周波数)を示し、 t_s がサンプリング時間を示し、前記正弦波及び余弦波発生回路の入力信号と出力信号とが高速に同期しているものとして、

$$f_s = \{ \sin(\omega_s \cdot t_n) \cdot \cos(\omega_s \cdot t_{n-1}) - \cos(\omega_s \cdot t_n) \cdot \sin(\omega_s \cdot t_{n-1}) \} / 2\pi t_s$$

の演算式に基づいて入力周波数 f ($\equiv f_s$)を演算により求める入力周波数検出回路とからなる周波数検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、周期性を有する交流入力信号に同期した周期性を有する交流出力信号を発生する周期性信号制御装置及び該装置に用いるのに適した周波数検出装置に関するものであり、特に、交流入力信号に対して、一定の周波数変化率で同期の引き込み及び引きはずしを行うことができる周期性信号制御装置に関するものである。

【0002】

【従来の技術】

無停電電源装置等のインバータの制御においては、交流入力信号に同期した交流入力信号を発生させる技術が利用されている。例えば、柳沢 健著「PLL(位相同期ループ)応用回路」の第28頁乃至第36頁に説明されているように、ゼロクロスコンパレータにより交流入力信号をパルス化し、そのパルス幅をカウンタで比較することによって位相差及び周波数を検出して交流入力信号に同期した交流出力信号を出力する、いわゆるデジタルPLL(フェーズ・ロックド・ループ)方式の周期性信号制御装置が知られている。また前述の「PLL(位相同期ループ)応用回路」の第5頁乃至第26頁には、交流入力信号と交流出力信号との乗算値から2つの信号の位相差を求め、この位相差を示す信号から交流出力電圧の周波数を決定し、交流入力信号に同期した交流出力電圧を出力するアナログPLL方式の周期性信号制御装置が開示されている。

【0003】

また特許第3235651号公報には、周波数変化率を一定以下にするPLL方式の周期性信号制御装置の一例が開示されている。この特許第3235651号公報に記載の技術は、特許第3053002号公報に記載された周波数検出装置を基礎としてPLLを構成するものである。このPLLは、以下のような構成上の特徴を持つ。

【0004】

1) 2段のアナログPLL構成となっており、一段目のPLLでは交流入力信号と基準周波数の周波数差を求めている(交流入力信号と交流出力信号との周波数差ではない)。こ

10

20

30

40

50

の周波数差は、P I 制御の積分要素の出力から求められている。このように積分要素出力のため瞬時値を処理するものではない。

【0005】

2) この周波数差検出信号を2段目のPLLへ入力し、リミッタを通過させることにより周波数変化率を設定している。同期中に入力信号の周波数が変化した場合には、基準周波数との差にあたる信号が2段目のPLLに入力され、出力信号は一定の周波数変化率以下で追従する。

【0006】

【発明が解決しようとする課題】

前者のデジタルPLL方式では、ゼロクロスコンパレータを採用していることから、ゼロクロス付近のノイズに非常に弱い。無停電電源装置でこのデジタルPLL方式を使用した場合には、比較的電力事情の悪い環境においては誤動作することが多い。また、アナログPLL方式では、アナログ値を採用していることから、比較的ノイズには強いが、ゲイン設計が難しく、さらに簡単に周波数変化率を設定するのは困難であった。

【0007】

また特許第3235651号公報に記載のPLLを用いた技術は、比較的ノイズに強く、周波数変化率を設定できるものの以下のような問題を有している。

【0008】

1) 周波数差検出信号をP I 制御の出力から求めているため、定常状態になるまでに時間がかかる。そのため、同期引き込みを開始するまでの時間も長くなっていた。

【0009】

2) 交流入力電圧に高調波電圧が含有されている場合、影響を受けることがあった。

【0010】

3) 瞬時の入出力周波数差検出信号を求めているため、同期引き込み時に同期引き込みがしにくいポイントが存在していた。

【0011】

また、周波数異常検出に関しては、前者のアナログPLLを採用した場合には、周期性信号制御装置のほかに、別途、周波数異常検出回路を設けなければならなかった。また、後者の方式の場合には、定常状態になるまでに時間がかかり、交流入力信号に高調波電圧が含有されている場合、検出結果に影響を受けることがあった。

【0012】

本発明の目的は、高調波電圧を含有した交流入力信号であっても、交流入力信号に同期した正弦波状の交流出力信号を発生させることができる周期性信号制御装置を提供することにある。

【0013】

本発明の別の目的は、ノイズや高調波に影響されずに、高速で同期引き込みができる周期性信号制御装置を提供することにある。

【0014】

本発明の他の目的は、ノイズや高調波の影響を受けることなく、瞬時に周波数を検出することができる周波数検出装置を提供することにある。

【0015】

【課題を解決するための手段】

本発明は、周期性を有する交流入力信号に同期した周期性を有する交流出力信号を発生する周期性信号制御装置を改良の対象とする。基本的な周期性信号制御装置は、第1の正弦波信号発生回路と、第1の位相差検出回路と、第2の正弦波信号発生回路と、第2の位相差検出回路と、周波数差検出回路と、加算回路と、周波数変化率リミッタ回路とを備えている。第1の正弦波信号発生回路は、第1の指令信号に応じて周波数が変化する第1の正弦波信号を出力する。そして第1の位相差検出回路は、交流入力信号と第1の正弦波信号発生回路から出力された第1の正弦波信号との位相差を検出して第1の指令信号として出力する。第2の正弦波信号発生回路は、第2の指令信号に応じて周波数が変化する第2の

正弦波信号を交流出力信号として出力する。第2の位相差検出回路は、第1の正弦波信号発生回路から出力された第1の正弦波信号と第2の正弦波信号発生回路から出力された第2の正弦波信号の位相差を検出して位相差検出信号を出力する。そして周波数差検出回路は、第1の正弦波信号発生回路から出力された第1の正弦波信号と第2の正弦波信号発生回路から出力された第2の正弦波信号の周波数差を検出して周波数差検出信号を出力する。また加算回路は、第2の位相差検出回路から出力された位相差検出信号と周波数差検出回路から出力された周波数差検出信号とを加算する。周波数変化率リミッタ回路は、加算回路の出力を入力として第2の正弦波信号の周波数変化率を一定値以下にし且つ第2の正弦波信号を交流入力信号に同期させるための第2の指令信号を第2の正弦波信号発生回路に出力する。本発明においては、特に、第1の位相差検出回路及び第1の正弦波信号発生回路が、フェーズ・ロックド・ループを構成していることを特徴とする。このフェーズ・ロックド・ループは、瞬時値を処理するため、高速で応答することができ、高調波電圧を含有した交流入力信号であっても、このフェーズ・ロックド・ループが追従して、交流入力信号に同期した正弦波状の交流出力信号を発生させることができる。そしてこのフェーズ・ロックド・ループの出力即ち第1の正弦波発生回路の出力（第1の正弦波信号）は、交流入力信号の基本波成分となるものである。したがってこの基本波成分となる第1の正弦波信号と交流出力信号（第2の正弦波信号）の瞬時周波数差を周波数差検出回路で求め、この瞬時の周波数差検出信号を第2の位相差検出回路から出力された位相差検出信号に加えて、この加算信号に基づいて周波数変化率リミッタ回路から第2の指令信号を出力するようにすれば、ノイズや高調波に影響されずに、高速で同期引き込みができるようになる。

【0016】

この基本構成を、周期性を有する単相交流入力信号に同期した周期性を有する単相交流出力信号を発生する周期性信号制御装置に適用する場合に、次のように変形することもできる。この変形例では、第1の正弦波及び余弦波信号発生回路と、第1の位相差検出回路と、第2の正弦波及び余弦波信号発生回路と、周波数差検出回路と、第2の位相差検出回路と、加算回路と、周波数変化率リミッタ回路と、正弦波信号発生回路とを備えている。第1の正弦波及び余弦波信号発生回路は、第1の指令信号に応じて周波数が変化する第1の正弦波信号及び第1の余弦波信号を出力する。そして第1の位相差検出回路は、交流入力信号と第1の正弦波及び余弦波信号発生回路から出力された第1の余弦波信号とを乗算する乗算器及び該乗算器の出力から交流入力信号の角周波数の二倍の周波数成分を除去するローパス・フィルタにより構成されて、交流入力信号と第1の正弦波信号との位相差を検出して第1の指令信号として出力する。第2の正弦波及び余弦波信号発生回路は、第2の指令信号に応じて周波数が変化する第2の正弦波信号及び第2の余弦波信号とを発生し第2の正弦波信号を単相交流出力信号として出力する。また周波数差検出回路は、第1の正弦波及び余弦波信号発生回路から出力された第1の正弦波信号及び第1の余弦波信号と第2の正弦波及び余弦波信号発生回路から出力された第2の正弦波信号及び第2の余弦波信号の瞬時値から交流入力信号と交流出力信号との周波数差を演算により求める。そして第2の位相差検出回路は、第1の正弦波及び余弦波信号発生回路から出力された第1の正弦波信号及び第1の余弦波信号の瞬時値と第2の正弦波及び余弦波信号発生回路から出力された第2の正弦波信号及び第2の余弦波信号の瞬時値とを入力として、第1の正弦波信号と第2の正弦波信号との位相差を演算により求める。加算回路は第2の位相差検出回路から出力された位相差検出信号と周波数差検出回路から出力された周波数差検出信号とを加算する。周波数変化率リミッタ回路は、加算回路の出力を入力として第2の正弦波信号の周波数変化率を一定値以下にし且つ第2の正弦波信号を交流入力信号に同期させるための第2の指令信号を第2の正弦波及び余弦波信号発生回路に出力する。そしてこの場合にも、第1の位相差検出回路及び第1の正弦波信号発生回路は、フェーズ・ロックド・ループを構成している。

【0017】

また本発明を、周期性を有する三相交流入力信号に同期した周期性を有する三相交流出力

信号を発生する周期性信号制御装置に適用する場合には、次のようにする。この場合の周期性信号制御装置は、三相交流入力信号を二相信号に変換する3-2相変換回路と、第1の正弦波及び余弦波信号発生回路と、第1の位相差検出回路と、第2の正弦波及び余弦波信号発生回路と、周波数差検出回路と、第2の位相差検出回路と、加算回路と、周波数変化率リミッタ回路とを備えている。この場合には、第1の位相差検出回路が交流入力信号の代わりに、3-2相変換回路の出力を用いる点と、第2の正弦波及び余弦波信号発生回路が第2の指令信号に応じて周波数が変化する三相交流出力信号を発生する点と、第1の位相差検出回路が第1の正弦波及び余弦波信号発生回路から出力された第1の正弦波信号及び第1の余弦波信号と3-2相変換回路から出力された変換正弦波信号及び変換余弦波信号の瞬時値に基づいて変換正弦波信号と第1の正弦波信号との位相差を検出する点と相違し、その他の構成は、前述の変形例とほぼ同じである。

10

【0018】

なおいずれの場合においても、交流入力信号の周波数に異常があるか否かを判定する周波数異常検出回路と、周波数異常検出回路が周波数異常を検出すると、加算回路の出力が周波数変化率リミッタ回路に入力されるのを阻止し、周波数変化率リミッタ回路から第2の正弦波信号の周波数変化率を強制的に一定値以下にする強制指令信号を出力させる周波数異常時切換回路とを更に備えているのが好ましい。このような回路を更に備えれば、交流入力信号に周波数異常が発生したときには、同期をとることがなくなるため、交流入力信号側の周波数異常の影響を受けることなく交流出力信号を出力することができる。

20

【0019】

なおこの場合、周波数変化率リミッタ回路は、同期に必要な周波数の変化量を予め定めた上限値に制限するリミッタと、リミッタの出力を積分して周波数値を出力する積分器とから構成することができる。そして周波数異常検出回路は、積分器から出力される周波数値と交流入力信号の基準周波数との加算値と予め定めた周波数異常検出用設定値とを比較して、加算値が周波数異常検出用設定値を超えると周波数異常と判定する判定回路を含んで構成することができる。このような回路構成であれば、簡単に交流入力信号の周波数異常を検出することができる。

【0020】

また周波数異常検出回路は、第1の正弦波及び余弦波発生回路から出力される第1の正弦波信号及び第1の余弦波信号を入力とし、下記の式において、 t_n が n 番目のサンプリング時刻を示し、 t_{n-1} が $(n-1)$ 番目のサンプリング時刻を示し、角周波数 ω_s が $2\pi f_s$ （但し f_s は前記第1の正弦波及び余弦波発生回路から出力される前記第1の正弦波信号及び第1の余弦波信号の周波数）を示し、 t_s がサンプリング時間を示し、前記第1の正弦波及び余弦波発生回路の入力信号と出力信号とが高速に同期しているものとして

30

$$f_s = \{ \sin(\omega_s \cdot t_n) \cdot \cos(\omega_s \cdot t_{n-1}) - \cos(\omega_s \cdot t_n) \cdot \sin(\omega_s \cdot t_{n-1}) \} / 2\pi t_s$$
の演算式に基づいて入力周波数 f （ $\equiv f_s$ ）を演算により求める入力周波数検出回路と、入力周波数検出回路により求めた入力周波数 f （ $\equiv f_s$ ）と予め定めた周波数異常検出用設定値とを比較して、加算値が周波数異常検出用設定値を超えると周波数異常と判定する判定回路とを含んで構成することができる。なお前述の入力周波数検出回路と、被測定交流入力信号に同期する正弦波信号及び余弦波信号を発生する第1の正弦波及び余弦波信号発生回路とから周波数検出装置を構成してもよいのは勿論である。このような周波数検出装置は、ノイズや高調波の影響を受けることなく、瞬時に周波数を検出することができる。

40

【0021】

【発明の実施の形態】

以下図面を参照して本発明の実施の形態を詳細に説明する。

【0022】

図1は、本発明の周期性信号制御装置の実施の形態の一例の基本構成を示すブロック図である。この周期性信号制御装置は、第1の位相差検出回路1と、第1の正弦波信号発生回

50

路 2 と、第 2 の位相差検出回路 3 と、周波数差検出回路 4 と、加算回路 5 と、周波数変化率リミッタ回路 8 と、第 2 の正弦波信号発生回路 9 とを備えている。第 1 の位相差検出回路 1 は、交流入力信号と第 1 の正弦波信号発生回路 2 から出力された第 1 の正弦波信号との位相差を検出して第 1 の指令信号として出力する。第 1 の正弦波信号発生回路 2 は、第 1 の指令信号に応じて周波数が変化する第 1 の正弦波信号を出力する。第 1 の位相差検出回路 1 及び第 1 の正弦波信号発生回路 2 は、後に詳しく説明するように、瞬時値を処理するフェーズ・ロックド・ループを構成している。

【0023】

また第 2 の正弦波信号発生回路 9 は、後述する第 2 の指令信号に応じて周波数が変化する第 2 の正弦波信号を交流出力信号として出力する。第 2 の位相差検出回路 3 は、第 1 の正弦波信号発生回路 2 から出力された第 1 の正弦波信号と第 2 の正弦波信号発生回路 9 から出力された第 2 の正弦波信号の位相差を検出して位相差検出信号を出力する。また周波数差検出回路 4 は、第 1 の正弦波信号発生回路 2 から出力された第 1 の正弦波信号と第 2 の正弦波信号発生回路 9 から出力された第 2 の正弦波信号の周波数差を検出して周波数差検出信号を出力する。加算回路 5 は、第 2 の位相差検出回路 3 から出力された位相差検出信号と周波数差検出回路 4 から出力された周波数差検出信号とを加算する。周波数変化率リミッタ回路 8 は後述するリミッタ 6 と積分器 7 とから構成され、加算回路 5 の出力を入力として第 2 の正弦波信号（交流出力信号）の周波数変化率を一定値以下にし且つ第 2 の正弦波信号（交流出力信号）を交流入力信号に同期させるための第 2 の指令信号を第 2 の正弦波信号発生回路 9 に出力する。

【0024】

この実施の形態の周期性信号制御装置は、比較的ノイズに強く、簡単に周波数変化率を設定できる。この実施の形態の動作について説明する。まず交流入力信号と第 1 の正弦波信号発生回路 2 から出力される第 1 の正弦波信号の位相差（第 1 の指令信号）を第 1 の位相差検出回路 1 によって求め、第 1 の位相差検出回路 1 の出力（第 1 の指令信号）は第 1 の正弦波信号発生回路 2 に入力される。第 1 の正弦波信号発生回路 2 では、出力される第 1 の正弦波信号の周波数を第 1 の指令信号に応じて変化させて、交流入力信号との位相差を無くすような第 1 の正弦波信号を出力する。これにより交流入力信号に同期した正弦波信号が得られる。第 1 の正弦波信号発生回路 2 が発生する第 1 の正弦波信号の周波数には、周波数変化率の上限を設けておらず、周波数変動可能幅を大きくすることにより、高速で交流入力信号に同期するようにしている。また、第 1 の正弦波信号発生回路 2 で得られた第 1 の正弦波信号は、交流入力信号と同期しているときは、周波数が交流入力信号と同じであり、振幅は交流入力信号に左右されない値となっている。この第 1 の正弦波信号発生回路 2 から出力される第 1 の正弦波信号と第 2 の正弦波信号発生回路 9 から出力される第 2 の正弦波信号の位相差を第 2 の位相差検出回路 3 によって求める。また、周波数差検出回路 4 によって第 1 の正弦波信号発生回路 2 と第 2 の正弦波信号発生回路 9 から出力される第 2 の正弦波信号の周波数差を求める。このとき、第 1 の正弦波信号発生回路 2 と第 2 の正弦波信号発生回路 9 から出力される第 1 及び第 2 の正弦波信号の振幅が同じであれば、後で説明するように精度よく、その周波数差を検出できる。そのため、この実施の形態では、振幅の変動がある交流入力信号を直接用いずに、交流入力信号に同期し、振幅が一定である第 1 の正弦波信号発生回路 2 の出力信号（第 1 の正弦波信号）を用いている。もし、交流入力信号の振幅が一定である場合には、第 1 の正弦波信号発生回路 2 の出力を用いずに、そのまま交流入力信号を第 2 の位相差検出回路 3 に入力するようにしてもよいのは勿論である。

【0025】

第 2 の位相差検出回路 3 と周波数差検出回路 4 の出力は加算回路 5 により加算され、リミッタ 6 及び積分器 7 を介して第 2 の正弦波信号発生回路 9 へ入力される。第 2 の正弦波信号発生回路 9 から出力される第 2 の正弦波信号（交流出力信号）は、リミッタ 6 によって周波数の変化が制限されることになる。リミッタ 6 の入力、交流入力信号に交流出力信号が同期するために必要な周波数の変化量を示すものである（周波数変化率）。交流信号

の位相、周波数、周波数変化率は、それぞれ位置、速度、加速度と同じ関係にあり、周波数変化率は、周波数の微分値に相当する値である。つまり、この周波数変化量（＝周波数変化率）は、リミッタ6によって上限が制限され、上限が制限された周波数変化量は積分器7によって同期に必要な周波数値（第2の指令信号）に変換される。

【0026】

第2の正弦波信号発生回路9からは、積分器7から出力される周波数値に従って第2の正弦波信号が出力される。ここで、第2の位相差検出回路3から出力される位相差検出信号のみをリミッタ6及び積分器7を介して第2の正弦波信号発生回路9に輸入して第2の正弦波信号を出力しようとする場合について考える。図2は、周波数差検出信号を用いず、位相差検出信号のみで同期引き込みを行おうとした場合の位相差 ϕ 及び周波数 f と時間との関係を示しており、特に位相差 ϕ が $\pi/2$ 、周波数 f が f_0 で入力信号と出力信号が等しい状態から同期の引き込みを行う場合を示している。この場合には、積分器7により位相差と出力周波数の関係は同図のようになり、位相差 ϕ がゼロとなった時点で周波数 f が最大となり、同期の引き込みが困難となる。次に、リミッタ6の入力に、位相差検出信号と周波数差検出信号を加算した加算信号を入力するが、リミッタ6の出力側に配置する積分器7を用いなかった場合を想定する。この場合には、交流入力信号の周波数が基準周波数とリミッタ6で定める周波数変化量の上限值とを加算した値以上になったときには同期ができなくなる。そのためどうしても積分器7が必要となる。即ち「出力周波数 \leq 基準周波数+リミッタ値 $<$ 入力周波数」の関係では、同期できないのである。つまり、積分器7を用いて同期引き込みを行う場合には、図3のような関係になっている必要がある。すなわち周波数変化率と周波数の関係は、微分または積分の関係にあり、図3の周波数 f の変化を得るためには、周波数変化率が点線のように変化しなくてはならない（周波数の微分値）。このような点線の軌道は、位相差 ϕ と周波数差 Δf の加算値から作り出すことができる。そのため、図1におけるリミッタ6の入力には、位相差 ϕ を示す位相差検出信号と周波数差 Δf を示す周波数差検出信号とを加算回路5で加算した加算信号が入力されているのである。

【0027】

図1の構成であれば、同期引き込みは可能である。しかしながら交流入力信号の周波数に異常が発生した場合に、同期引き離しをすることはできない。同期引き離しのためには、図4に示すような回路の追加が必要である。なお図4の回路では、交流入力信号の周波数に異常があるか否かを判定する周波数異常検出回路10と、周波数異常検出回路10が周波数異常を検出すると、加算回路5の出力が周波数変化率リミッタ回路8に輸入されるのを阻止し、周波数変化率リミッタ回路8から第2の正弦波信号の周波数を予め定めた基準周波数 f_0 に徐々に一致させる強制指令信号を第2の指令信号として出力させる周波数異常時切替回路11とを備えている。この例では、周波数異常検出回路10は、積分器7から出力される周波数値と交流入力信号の基準周波数 f_0 との加算値と予め定めた周波数異常検出用設定値とを比較して、加算値が周波数異常検出用設定値を超えると周波数異常と判定する判定回路10aを含んで構成されている。なお第2の正弦波信号発生回路9は、積分器7から出力される周波数値と交流入力信号の基準周波数 f_0 とを加算する加算器9aと、加算器9aから出力される加算値を入力してカウントを実行するカウンタ9bと、このカウンタ9bから出力されるアドレスに対応した正弦波信号の振幅値がメモリされたテーブル9cとから構成されている。テーブル9cからは、カウンタ9bからの指示に応じて順次メモリ値が出力されて、正弦波信号が出力されることになる。なお交流入力信号が三相交流信号の場合には、テーブル9cには余弦波信号と三相分の交流信号に対応した振幅値データとがメモリされることになる。この場合、三相分の交流信号の一つが正弦波信号となる。またこの例では、周波数異常時切替回路11は、信号切替スイッチ回路12と「-1」のゲインを有するフィードバックループ13とから構成されている。

【0028】

この回路では、周波数異常を検出すると、現在の出力周波数（ $f_x = \Delta f_x + f_0$ ）から設定された周波数変化率以下で、出力周波数を基準周波数 f_0 に徐々に一致させる強制指

令信号を第2の指令信号として出力する。積分器7の出力と基準周波数 f_0 の加算値は、第2の正弦波信号発生回路9の出力周波数を示しており、同期が確認されていれば交流入力信号と同じ周波数であると考えることができる。従って、第2の正弦波信号発生回路9への入力信号値が周波数異常検出回路10の判定回路10aに設定した値から外れるような周波数となった場合には、入力周波数異常と判定して、判定回路10aからの信号に基づいて信号切換スイッチ回路12のスイッチは正常側から異常側へと切り換わる。切り換え後の交流出力信号の周波数は、基準周波数 f_0 に近づくことになる。このような回路を備えれば、交流入力信号に周波数異常が発生したときには、同期をとることがなくなるため、交流入力信号側の周波数異常の影響を受けることなく交流出力信号を出力することができる。

10

【0029】

図5は、周波数異常を検出するための周波数異常検出回路14の別の例を示している。この例では、周波数異常検出回路14は、第1の正弦波信号発生回路2を正弦波信号と余弦波信号とを出力できるように変形して作った第1の正弦波及び余弦波信号発生回路2'から出力される第1の正弦波信号及び第1の余弦波信号を入力とし、下記の式(1)を用いて入力周波数 f ($\equiv f_s$)を検出する入力周波数検出回路14aを備えている。

【0030】

【数1】

$$\begin{aligned}
 f &\approx f_s = (\omega_s \cdot t_s) / 2\pi t_s \\
 &= \omega_s (t_n - t_{n-1}) / 2\pi t_s \\
 &\equiv \sin(\omega_s (t_n - t_{n-1})) / 2\pi t_s \\
 &= \{ \sin(\omega_s t_n) \cdot \cos(\omega_s t_{n-1}) - \cos(\omega_s t_n) \cdot \sin(\omega_s t_{n-1}) \} / 2\pi t_s \\
 &= (B_{n \sin} B_{n-1 \cos} - B_{n \cos} B_{n-1 \sin}) / 2\pi t_s
 \end{aligned} \tag{1}$$

20

ここで、第1の正弦波及び余弦波信号発生回路2'からは正弦波信号 $[B_{n \sin} = \sin(\omega_s t)]$ 及び余弦波信号 $[B_{n \cos} = \cos(\omega_s t)]$ が出力され、 $B_{n \sin}$ の下付きとなっている n は、 n 番目のサンプリング値を示しているものとし、 $n-1$ は $(n-1)$ 番目の値を示しているものとする。また、 t_n が n 番目のサンプリング時刻を示し、 t_{n-1} が $(n-1)$ 番目のサンプリング時刻を示し、角周波数 ω_s は $2\pi f_s$ (但し f_s は前記第1の正弦波及び余弦波発生回路から出力される前記第1の正弦波信号及び第1の余弦波信号の周波数)を示し、 t_s がサンプリング時間を示すものである。そして第1の正弦波及び余弦波発生回路の入力信号と出力信号とが高速に同期しているものとし、入力周波数 f と f_s とが同じと考えられる f ($\equiv f_s$)ものとする。上記式(1)は、第1の正弦波及び余弦波信号発生回路2'から出力される信号のサンプリング値から入力周波数 f ($\equiv f_s$)が演算できることを示している。図5では、上記式(1)に基づいて求めた入力周波数 f_s と予め定めた周波数異常検出用設定値とを判定回路14bで比較して、入力周波数 f_s が予め定めた周波数異常検出用設定値から外れるような値になると、前述と同様に周波数異常と判定して信号切換スイッチ回路12のスイッチが判定回路14bからの出力で正常側から異常側に切り換えられる。なおこの周波数異常検出用設定値は、例えば基準周波数 f_0 (50Hzまたは60Hz) $\pm 5\%$ の値として定めることができる。周波数異常検出用設定値の定め方は任意である。図5に示されるような周波数検出装置は、ノイズや高調波の影響を受けることなく、瞬時に周波数を検出することができる。

30

40

【0031】

次に本発明の周期性信号制御装置の第2の実施の形態を図6を用いて説明する。なお図6においては、図1に示した第1の実施の形態で用いられるブロックと同じ機能を果たすブロックには、図1に示した符号と同じ符号を付して説明を省略し、図1の実施の形態で用い

50

られるブロックと類似した機能を実すブロックには図 1 に付した符号にダッシュを付した符号を付す。図 6 に示した実施の形態は、交流入力信号が三相の場合である。この場合の周期性信号制御装置は、三相交流入力信号を二相信号に変換する 3-2 相変換回路 15 と、第 1 の位相差検出回路 1' と、第 1 の正弦波及び余弦波信号発生回路 2' と、第 2 の位相差検出回路 3' と、周波数差検出回路 4' と、加算回路 5 と、周波数変化率リミッタ回路 8 と第 2 の正弦波及び余弦波信号発生回路 9' とを備えている。

【0032】

まず、3-2 相変換回路 15 は、三相交流入力信号を次式 (2) に基づき 3-2 相変換を行う。

【0033】

【数 2】

$$\begin{bmatrix} A_{n\cos} \\ A_{n\sin} \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_R \\ v_S \\ v_T \end{bmatrix} \\ = \begin{bmatrix} A_1 \sin(\omega t) \\ A_2 \sin(\omega t - \pi/2) \end{bmatrix} = \begin{bmatrix} A_1 \cos(\omega t + \phi) \\ A_2 \sin(\omega t + \phi) \end{bmatrix}$$

$$v_R = \sqrt{2} V_R \sin(\omega t)$$

$$v_S = \sqrt{2} V_S \sin(\omega t - 2\pi/3)$$

$$v_T = \sqrt{2} V_T \sin(\omega t - 4\pi/3)$$

(2)

ここで、上に示した v_R 、 v_S 、 v_T はそれぞれ三相交流入力信号であり、 V_R は R 相実効値、 V_S は S 相実効値及び V_T は T 相実効値である。

【0034】

また、第 1 の正弦波及び余弦波信号発生回路 2' からは第 1 の正弦波信号 $[B_n \sin = \sin(\omega_s t)]$ 及び第 1 の余弦波信号 $[B_n \cos = \cos(\omega_s t)]$ が出力される。上記式 (1) で扱っている各式と同様に、その角周波数 ω_s は $2\pi f_s$ である (但し f_s は第 1 の正弦波及び余弦波発生回路から出力される第 1 の正弦波信号及び第 1 の余弦波信号の周波数である)。そして、3-2 相変換された信号との位相差は ϕ である。第 1 の正弦波及び余弦波信号発生回路 2' から出力される信号を基準として考えると、3-2 相変換された信号と第 1 の正弦波及び余弦波信号発生回路 2' から出力される信号の間には次式 (3) が成り立つ。

【0035】

【数 3】

$$A \sin((\omega - \omega_s)t + \phi) = A_2 \sin(\omega t + \phi) \cdot \cos(\omega_s t) - A_1 \cos(\omega t + \phi) \cdot \sin(\omega_s t) \\ = A_{n\sin} B_{n\cos} - A_{n\cos} B_{n\sin} \quad (3)$$

上式において、 A_1 及び A_2 がほぼ同じ A であり、また交流入力周波数の角周波数 ω 及び第 1 の正弦波及び余弦波信号発生回路 2' の出力の角周波数 ω_s がほぼ同じであれば、 ϕ がゼロに近い辺りにおいては式 (3) は次式 (4) のように近似できる。

【0036】

【数 4】

$$\phi \cong (A_{n\sin} B_{n\cos} - A_{n\cos} B_{n\sin}) / A \quad (4)$$

10

20

30

40

50

上記式は、交流入力信号と第1の正弦波及び余弦波信号発生回路2'から出力される信号の位相差、即ち第1の位相差検出回路1'の出力を示している。(4)式は、位相差を交流入力信号及び第1の正弦波及び余弦波信号発生回路2'の出力信号の瞬時値から求めることができることを示している。もし、 A_1 及び A_2 の振幅が異なる場合(三相不平衡状態)には、主に ω の2倍の周波数成分で、 A_1 及び A_2 の差の振幅成分が現れることになる。この場合は、同期に影響を与えない範囲で使用するローパス・フィルタによって2倍の周波数成分を除去して使用するなどの方法が考えられる。

【0037】

第1の正弦波及び余弦波信号発生回路2'は、この位相差 ϕ を示す位相差検出信号を第1の指令信号として第1の正弦波及び第1の余弦波を出力する。第1の正弦波及び余弦波信号発生回路2'内では、位相差 ϕ を示す位相差検出信号と基準周波数 f_0 を示す信号とが加算器2'aで加算されて瞬時周波数信号が決定される。この瞬時周波数信号から、例えば電圧制御発振器(VCO)を用いて正弦波及び余弦波を出力することができる。この処理は、図示のようにデジタルにて行うこともできる。この例では、正弦波データ及び余弦波データがテーブル2'cにテーブル値として格納されており、カウンタ2'bの出力を参照してテーブル2'cは正弦波信号及び余弦波信号を出力する。加算器2'aから出力される瞬時周波数信号はカウンタ2'bに入力され、カウンタ2'bはカウントアップを行う。この動作は積分動作になり、周波数信号は積分されて位相を示す値となる。このテーブル2'cは、この値が示すテーブル値を参照して正弦波及び余弦波を出力する。

【0038】

次に、第1の正弦波及び余弦波信号発生回路2'から出力された第1の正弦波信号 $B_n \sin$ 及び第2の余弦波信号 $B_n \cos$ と第2の正弦波信号発生回路9'から出力された第2の正弦波信号 $[C_n \sin = \sin(\omega_o t)]$ 及び第2の余弦波信号 $[C_n \cos = \cos(\omega_o t)]$ の位相差 ϕ_2 を第2の位相差検出回路3'で求める。第2の位相差検出回路3'では、上記(3)式及び(4)式と同様にして位相差 ϕ_2 を求める。第1の正弦波及び余弦波信号発生回路2'及び第2の正弦波及び余弦波信号発生回路9'から出力される信号の振幅は1であるので位相差 ϕ_2 は、次式(5)のようになる。

【0039】

【数5】

$$\phi_2 \cong D_{n \sin} = \sin((\omega_s - \omega_o)t + \phi_2) = B_{n \sin} C_{n \cos} - B_{n \cos} C_{n \sin} \quad (5)$$

また、第1の正弦波及び余弦波信号発生回路2'及び第2の正弦波及び余弦波信号発生回路9'の出力信号から次式(6)も導くことができる。

【0040】

【数6】

$$D_{n \cos} = \cos((\omega_s - \omega_o)t + \phi_2) = B_{n \cos} C_{n \cos} + B_{n \sin} C_{n \sin} \quad (6)$$

ここで、 $D_{n \sin}$ の下付となっている n は、 n 番目のサンプリング値を示しているものとし、 $n-1$ は $(n-1)$ 番目の値を示しているものとする、式(5)、式(6)から次式(7)を導くことができる。

【0041】

【数7】

10

20

30

40

$$\begin{aligned}
 \Delta\omega \cdot t_s &\cong \sin(\Delta\omega(t_n - t_{n-1})) \\
 &= \sin(\Delta\omega t_n + \phi_2) \cdot \cos(\Delta\omega t_{n-1} + \phi_2) - \cos(\Delta\omega t_n + \phi_2) \cdot \sin(\Delta\omega t_{n-1} + \phi_2) \\
 &= D_{n\sin} D_{n-1\cos} - D_{n\cos} D_{n-1\sin} \quad (7)
 \end{aligned}$$

上記式(7)においては、 $\Delta\omega$ は周波数差($=\omega_s - \omega_o$)であり、 t_s はサンプリングタイムである。式(7)は、周波数差 $\Delta\omega$ ($=2\pi\Delta f$)を第1の正弦波及び余弦波信号発生回路2'及び第2の正弦波及び余弦波信号発生回路9'から出力される信号の瞬時値から求められることを示している。

10

【0042】

図6の実施の形態では、第2の位相差検出回路3'が式(5)の内容に従って位相差 ϕ_2 を演算し、周波数差検出回路4'が式(7)の内容に従って周波数差 Δf ($=\Delta\omega/2\pi$)を演算する。この位相差 ϕ_2 を示す位相差検出信号と周波数差 Δf を示す周波数差検出信号は、加算回路5により加算され、リミッタ6を介して積分器7へ入力される。第1の実施の形態と同様に、リミッタ6では、周波数変化率が制限されることになる。また積分器7の出力と基準周波数 f_o の加算値は、第2の正弦波及び余弦波信号発生回路9'が出力する瞬時周波数を示している。第2の正弦波及び余弦波信号発生回路9'は、第1の正弦波及び余弦波信号発生回路2'と同様に、加算器9'aとカウンタ9'bとテーブル9'cとから構成される。カウンタ9'bからの信号に応じてテーブル9'cから第2の余弦波と三相分の交流信号 V_U 、 V_V 、 V_W が出力される。交流信号 V_U が第2の正弦波として兼用されている。

20

【0043】

なお交流入力電圧の電圧変動及び不平衡がない場合は、上記式(2)で示した3-2相変換の出力をそのまま図6における第2の位相差検出回路3'と周波数差検出回路4'へ入力することによって交流入力に同期した信号を出力すればよい。

【0044】

図7は、本発明の周期性信号制御装置の第3の実施の形態の構成を示すブロック図である。この実施の形態は、交流入力信号が単相の場合の例である。この実施の形態では、図6に示した第2の実施の形態において、3-2相変換回路15から第1の正弦波及び余弦波信号発生回路2'までの部分を変更した。この例では、第1の正弦波及び余弦波信号発生回路2'と、第1の位相差検出回路1と、第2の正弦波及び余弦波信号発生回路9'と、周波数差検出回路4'と、第2の位相差検出回路3'と、加算回路5と、周波数変化率リミッタ回路8とを備えている。第1の正弦波及び余弦波信号発生回路2'は、第1の指令信号に応じて周波数が変化する第1の正弦波信号及び第1の余弦波信号を出力する。そして第1の位相差検出回路1は、交流入力信号と第1の正弦波及び余弦波信号発生回路2'から出力された第1の余弦波信号とを乗算する乗算器1a及び該乗算器1aの出力から交流入力信号の角周波数の二倍の周波数成分を除去するローパス・フィルタ1bとにより構成され、交流入力信号と第1の正弦波信号との位相差 ϕ を検出して第1の指令信号として出力する。第2の正弦波及び余弦波信号発生回路9'は、第2の指令信号に応じて周波数が変化する第2の正弦波信号及び第2の余弦波信号とを発生し第2の正弦波信号を単相交流出力信号として出力する。また周波数差検出回路4'は、第1の正弦波及び余弦波信号発生回路2'から出力された第1の正弦波信号及び第1の余弦波信号と第2の正弦波及び余弦波信号発生回路9'から出力された第2の正弦波信号及び第2の余弦波信号の瞬時値から上記(7)式に従って交流入力信号と交流出力信号との周波数差を演算により求める。そして第2の位相差検出回路3'は、第1の正弦波及び余弦波信号発生回路2'から出力された第1の正弦波信号及び第1の余弦波信号との位相差を上記(5)式に基づいて求める。加算回路5以降の構成は上記第2の実施の形態と実質的に同じである。すなわち第2の位相差検出回路3'から出力された位相差検出信号と周波数差検出回路4'から出力された周波数差検出信号を入力として、周波数変化率リミッタ回路8は、第2の正弦波信

30

40

50

号の周波数変化率を一定値以下にし且つ第2の正弦波信号を交流入力信号に同期させるための第2の指令信号を第2の正弦波及び余弦波信号発生回路9'に出力する。第1の位相差検出回路1及び第1の正弦波及び余弦波信号発生回路2'は、瞬時値を処理するフェーズ・ロックド・ループを構成している。

【0045】

この実施の形態においては、交流入力信号と第1の正弦波及び余弦波信号発生回路2'から出力される余弦波を乗算すると式(8)のようになる。

【0046】

【数8】

$$\begin{aligned} A_{n\sin} B_{ncos} &= A \sin(\omega t + \phi) \cdot \cos(\omega_s t) \\ &= \frac{A}{2} \{ \sin((\omega - \omega_s)t + \phi) + \sin((\omega + \omega_s)t + \phi) \} \\ &\equiv \frac{A}{2} \{ \sin(\phi) + \sin((\omega + \omega_s)t + \phi) \} \end{aligned} \quad (8)$$

10

ここで、交流入力信号と第1の正弦波及び余弦波信号発生回路2'からの余弦波信号の乗算値をローパス・フィルタ1bに通すことにより ω の2倍の周波数成分が除去され式(8)は次式(9)のように表される。

20

【0047】

【数9】

$$\begin{aligned} \phi &\equiv \sin(\phi) \\ &\equiv \{ \sin(\phi) + \sin((\omega + \omega_s)t + \phi) \} \\ &\equiv (A_{n\sin} B_{ncos}) \times 2 / A \end{aligned} \quad (9)$$

なおローパス・フィルタを通すことにより、式(8)及び(式9)における $\sin((\omega + \omega_s)t + \phi)$ の部分は除去され、 ϕ がゼロ近辺においては $\phi \equiv \sin(\phi)$ であるため、 ϕ は式(9)のように $\phi \equiv (A_{n\sin} B_{ncos}) \times 2 / A$ になる。

30

【0048】

ローパス・フィルタ1bの出力は位相差 ϕ を示しており、第1の正弦波及び余弦波信号発生回路2'に第1の指令信号として入力される。その他の部分については上記の説明のとおりである。

【0049】

尚図4及び図5に示した周波数異常検出回路を、図6及び図7に示した実施の形態と組み合わせることができるのは当然である。

【0050】

40

【発明の効果】

本発明によれば、ノイズに強く、また高調波電圧が含有した波形でも安定して同期ができる、かつ入力周波数が増加したときも一定の周波数変化率以下で同期追従することができる。また、非同期状態からの同期引き込み時にも高速で一定の周波数変化率以下で引き込むことが可能であり、また引き離し時も一定の周波数変化率以下で所定の周波数にすることができる。また、複雑で高価な周波数異常検出回路を必要とせず、制御装置内の信号の状態を判定することで簡単にかつ高速に入力周波数異常を検出できる。さらに、ノイズ及び高調波電圧に対しても比較的強い構成の周波数検出装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の周期性信号制御装置の実施の形態の一例の基本構成を示すブロック図で

50

ある。

【図 2】周波数差検出信号を用いず、位相差検出信号のみで同期引き込みを行おうとした場合の位相差及び周波数と時間との関係を示す図である。

【図 3】図 1 の実施の形態の周波数と位相差の動作に関する説明に用いる図である。

【図 4】周波数異常検出回路の一例を示す図である。

【図 5】周波数異常検出回路の他の例を示す図である。

【図 6】本発明の周期性信号制御装置の第 2 の実施の形態の構成を示すブロック図である。

【図 7】本発明の周期性信号制御装置の第 3 の実施の形態の構成を示すブロック図である。

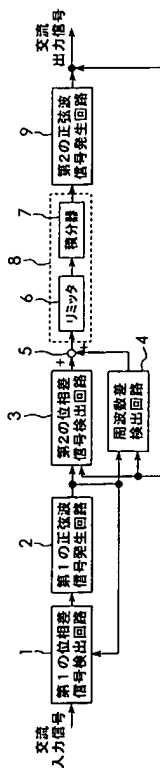
10

【符号の説明】

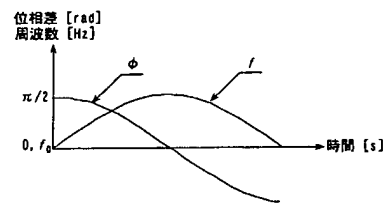
- 1 第 1 の位相差検出回路
- 2 第 1 の正弦波信号発生回路
- 3 第 2 の位相差検出回路
- 4 周波数差検出回路
- 5 加算回路
- 6 リミッタ
- 7 積分器
- 8 周波数変化率リミッタ回路
- 9 第 2 の正弦波信号発生回路
- 10, 14 周波数異常検出回路

20

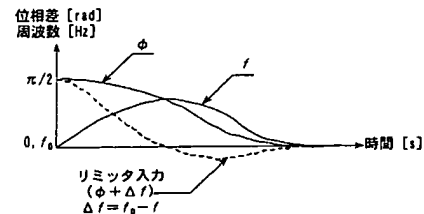
【図 1】



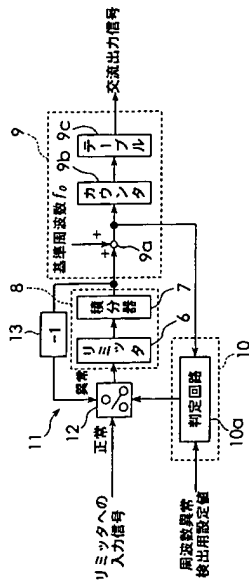
【図 2】



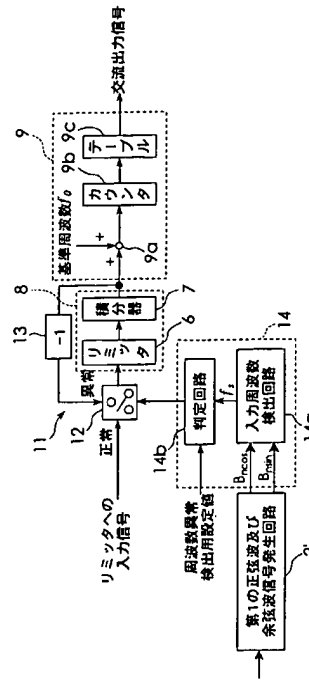
【図 3】



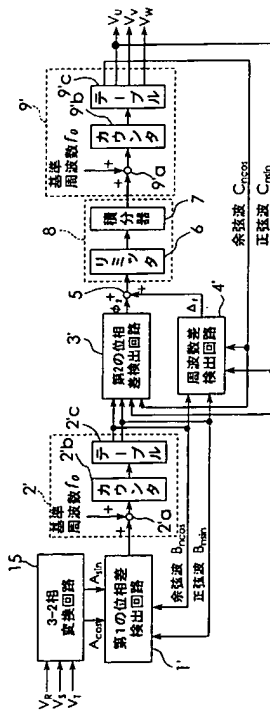
【図 4】



【図 5】



【図 6】



【図 7】

